



ELECTRÓNICA DIGITAL

Ejercicios propuestos Tema 3



Ejercicio 1. Convertir a binario natural, los siguientes números expresados en formato decimal. ¿Puedes predecir a priori los bits que necesitarás para la representación de cada número?

- a) 345
- b) 256
- c) 1987
- d) 745

Ejercicio 2. Expresar en formato decimal los siguientes números expresados en binario natural. ¿Puedes predecir a priori si el número será par o impar?

- a) 1001000110011101
- b) 0111000111100011
- c) 1111111100000110
- d) 0011110011010110

Ejercicio 3. Expresar en formato hexadecimal y octal los números binarios del ejercicio 2.

Ejercicio 4. Expresar en formato complemento a 2 con 16 bits los siguientes números enteros. ¿Cuál es el rango de números que se pueden codificar en complemento a 2 con 16 bits?

- a) 1053
- b) 4017
- c) -356
- d) -8950

Ejercicio 5. Expresar en formato decimal los siguientes números expresados en complemento a 2 ¿Puedes predecir a priori si el número será positivo o negativo?

- a) 0001111001110101
- b) 1111111111111111
- c) 0001100111100001
- d) 1111100000011100

Ejercicio 6. Contesta a los siguientes apartados:

I. Codificar en complemento a 2 utilizando 8 bits los siguientes números enteros:

- | | | |
|---------|--------|--------|
| a) -125 | c) 15 | e) 85 |
| b) 98 | d) -12 | f) -93 |

II. Con los números codificados en complemento a dos, realizar las siguientes operaciones. ¿En qué casos se produce overflow?

- | | | |
|--------|--------|--------|
| a) b+e | c) a-f | e) d-a |
| b) e-d | d) b+c | f) a+d |

Ejercicio 7. Se desea diseñar un sistema que realice la suma o la resta de dos números de 4 bits codificados en complemento a 2. La operación realizada por el circuito será función de una variable lógica denominada R: R=1 operación de resta, R=0 operación de suma. Las salidas del sistema serán por un lado cuatro bits correspondientes al resultado de la operación, y por otro un bit más que tomará el valor 1 si se produce overflow al realizar la operación. La Fig. 1 representa las entradas y salidas del sistema.

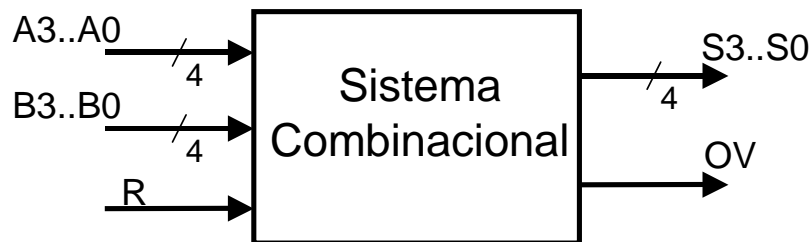


Figura 1 . Definición del sistema lógico a diseñar

- a) Implementación del sistema utilizando un sumador binario de dos números de 4 bits y las puertas lógicas que se consideren oportunas.
- b) Especificar el valor de las salidas del sistema, si las entradas valen

- c.1) A=1011b; B=1100b; R=1
- c.2) A=1110b; B=1111b; R=0

Ejercicio 8. Es necesario diseñar un sistema combinacional que indique cuando la temperatura de un recipiente empleado para la conservación de vacunas, se encuentra entre -2°C y $+4^{\circ}\text{C}$. Para ello disponemos de un sensor de temperatura que nos ofrece la medida de la temperatura con 4 bits codificados en complemento a 2. Para realizar el diseño seguir los siguientes pasos:

- a) Implementar el sistema utilizando comparadores binarios de dos números de 4 bits y las puertas lógicas necesarias.
- b) Describir en lenguaje VHDL el sistema completo.

Ejercicio 9. Expresar los siguientes números irracionales en formato de coma fija sin signo con 6 bits para la parte entera, y 10 bits para la parte decimal.

- a) 34,2344
- b) 52,1878
- c) 15,0625
- d) 60,7854

Ejercicio 10. Expresar en formato coma flotante con simple precisión los números del ejercicio 10.

Ejercicio 11. Utilizando multiplexores de 4 entradas de datos de 1 bit (MUX 4:1), implementar un multiplexor de 16 entradas de datos de 1 bit (MUX 16:1).

Ejercicio 12. Se desea diseñar utilizando puertas lógicas un sistema combinacional de cuatro entradas y dos salidas (ver figura 3). Las entradas codifican en binario un número natural (I_0 es el bit de menor peso e I_3 el de mayor peso). La salida O_0 indica si el numero de entrada es primo ($O_0=1$) o no ($O_0=0$), mientras que la salida O_1 indica si es mayor que 9 ($O_1=1$) o no ($O_1=0$). Considerar el 1 como número primo.

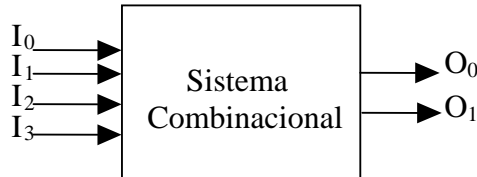


Figura 3. Definición del sistema combinacional a diseñar.

Se pide:

- Tabla de verdad del sistema.
- Expresión simplificada en forma de suma de productos de la función lógica O_0 .
- Implementación de la función lógica O_0 exclusivamente con puertas NAND.
- Descripción del sistema en lenguaje VHDL.
- Implementación de la función lógica O_1 con un MUX 8:1 y puertas lógicas necesarias.
- Implementación de la función lógica O_0 con un Decodificador 4:16.

Ejercicio 13. Analizar la siguiente red combinacional (Fig. 4).

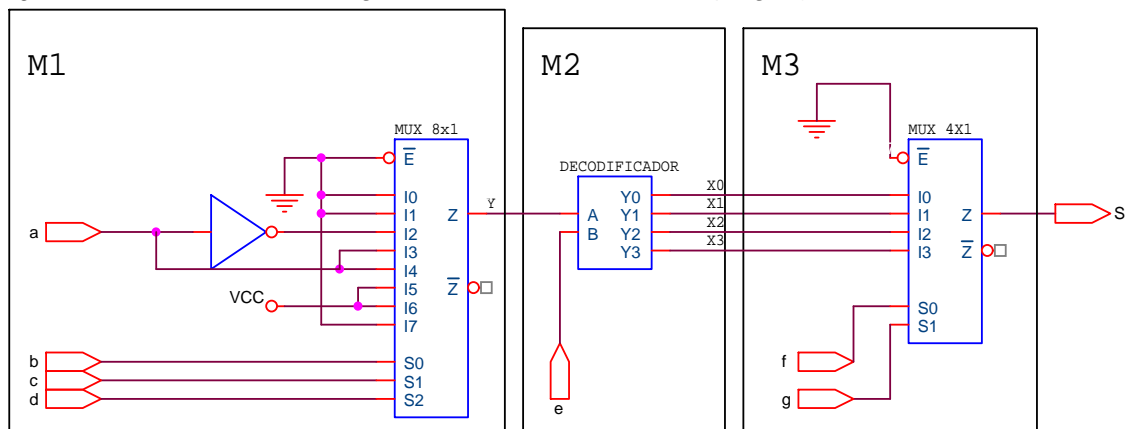


Figura 4. Red combinacional

- NOTA:** En los multiplexores las entradas 'S0' y 'I0' son las de menor peso. En el decodificador la entrada 'A' es la de menor peso y la salida de menor peso es la 'Y0'.

- Encontrar la tabla de la verdad del bloque M1.
- Encontrar las expresiones booleanas para cada una de las salidas X0, X1, X2 y X3 del bloque M2, en función de las entradas Y y e.
- Tabla de la verdad del sistema formado por el bloque M2 y M3 en función de las entradas Y, e, f, g y la salida S.
- Dibujar la forma canónica (sin simplificar) del bloque M1 utilizando exclusivamente puertas NAND.
- Descripción del sistema en lenguaje VHDL.

Ejercicio 14. Una calculadora contiene un teclado hexadecimal (16 teclas: 0,1,2,3,4,5,6,7,8,9,/,*,+,-, y "Enter"). El teclado dispone de 16 salidas, cada vez que se pulsa una tecla se activa su señal correspondiente. Realizar mediante codificadores de 3 bits y las puertas lógicas que consideres oportunas, la circuitería necesaria para identificar la tecla pulsada con un código de 4 bits. ¿Cómo se interpreta el hecho de que no haya ninguna tecla pulsada? ¿Cómo se puede resolver?

Ejercicio 15. A, B y C son tres números codificados en BCD. Se desea mostrar en un display siete segmentos el número mayor de los tres. Para el diseño del sistema se propone el siguiente esquema de la Fig. 5.

- Describir en lenguaje VHDL el bloque M0, que corresponde con un comparador binario de dos números de 4 bits.
- Describir en lenguaje VHDL el bloque M1, que corresponde con un multiplexor 2x4.
- Describir en lenguaje VHDL el bloque M2, que corresponde con un decodificador BCD-siete segmentos.
- Describir el sistema completo en lenguaje VHDL.

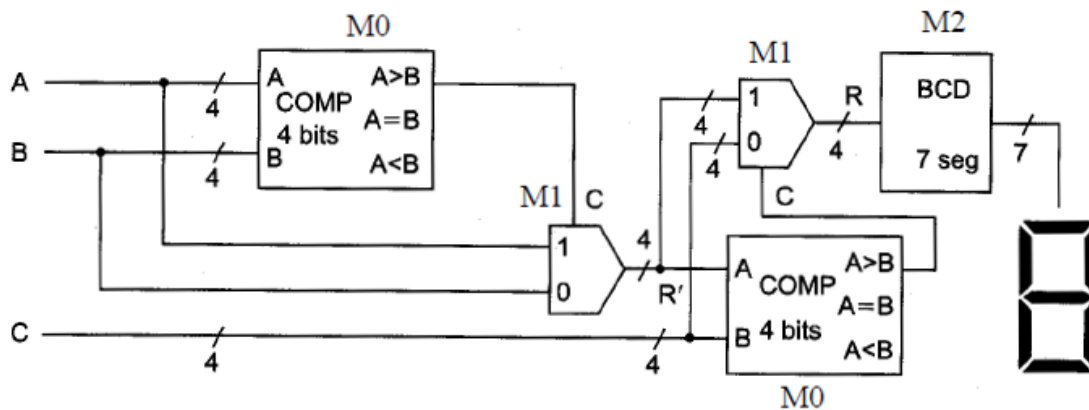


Figura .5 Esquema propuesto